

Attorney Docket No. 1293.1206

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Jae-seong SHIM et al.

Application No.: Not Assigned

Group Art Unit: Not Assigned

Filed: June 4, 2001

Examiner: Not Assigned

For: JITTER DETECTING APPARATUS AND PHASE LOCKED LOOP USING THE
DETECTED JITTER

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. §1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. §1.55, the applicant(s) submit(s) herewith
a certified copy of the following foreign application:

Korean Patent Application No. 2000-41743

Filed: July 20, 2000

It is respectfully requested that the applicants be given the benefit of the foreign filing
date as evidenced by the certified papers attached hereto, in accordance with the requirements
of 35 U.S.C. §119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: June 4, 2001

By: 

Michael D. Stein
Registration No. 37,240

700 11th Street, N.W., Ste. 500
Washington, D.C. 20001
(202) 434-1500
©2001 Staas & Halsey LLP

#5
11/14/01
JC986 U.S. PTO
09/872155
06/04/01



JC986 U.S. PTO
09/872155
06/04/01

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원 번호 : 특허출원 2000년 제 41743 호
Application Number

출원 년 월 일 : 2000년 07월 20일
Date of Application

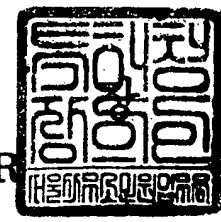
출원 인 : 삼성전자 주식회사
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT



2000 년 08 월 31 일

특 허 청
COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	2000.07.20
【국제특허분류】	H03L
【발명의 명칭】	지터 검출 장치 및 그를 이용한 위상 동기 루프
【발명의 영문명칭】	Jitter detecting apparatus and phase locked loop using the detected jitter
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	조혁근
【대리인코드】	9-1998-000544-0
【포괄위임등록번호】	2000-002820-3
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-002816-9
【발명자】	
【성명의 국문표기】	심재성
【성명의 영문표기】	SHIM, Jae Seong
【주민등록번호】	641223-1058515
【우편번호】	143-191
【주소】	서울특별시 광진구 자양1동 229-24
【국적】	KR
【발명자】	
【성명의 국문표기】	박현수
【성명의 영문표기】	PARK, Hyun Soo

【주민등록번호】 700802-1067316
【우편번호】 137-030
【주소】 서울특별시 서초구 잠원동 55번지 10호 신반포16차아파트 119동 312 호
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 이영
 필 (인) 대리인
 조혁근 (인) 대리인
 이해영 (인)
【수수료】
【기본출원료】 15 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 29,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 지터 검출 회로 및 그를 이용한 위상 동기 루프에 관한 것으로서, 입력 아날로그 신호를 디지털 변환한 신호의 지터값을 검출하는 지터값 검출 회로는, 디지털 변환된 입력신호로부터 두개의 연속된 샘플링 포인트에 있는 두 신호의 부호 변화를 판별하여 부호 변화시 두 신호를 제1, 제2에지신호로서 출력하는 에지 검출부; 에지 검출부에서 출력된 제1, 제2에지신호 중 절대값이 작은 신호를 출력하는 비교부; 제1, 제2신호 각각의 절대값의 합으로 비교부에서 출력한 절대값 신호를 나누는 연산부; 및 연산부로부터의 출력을 소정 기간 동안 누적 합산하여 소정 구간의 지터값으로서 출력하는 누적부를 포함함을 특징으로 한다.

본 발명에 의하면 아날로그-디지털 변환된 신호로부터 에지 주변의 두 샘플링 포인트에 있는 신호를 가지고 지터량을 검출함으로써 입력되는 신호의 크기에 상관없이 정확한 지터량을 검출할 수 있고, 그 지터값을 이용하여 정확하고 빠른 위상 동기 신호를 얻을 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

지터 검출 장치 및 그를 이용한 위상 동기 루프{Jitter detecting apparatus and phase locked loop using the detected jitter}

【도면의 간단한 설명】

도 1은 지터 검출 회로를 포함하는 일반적인 디지털 시스템의 블록도이다.

도 2는 본 발명의 지터 검출 회로의 블록도이다.

도 3은 도 2의 에지검출부의 상세 블록도이다.

도 4는 도 2의 지터 연산부의 상세 구성도이다.

도 5a 및 도 5b는 각각 지터가 없는 경우의 신호 및, 지터가 생긴 경우의 신호를 도시한다.

도 6은 도 5b의 지터 발생 신호에서 에지 주변의 신호를 확대하여 도시한 것이다.

도 7은 지터값을 위상 에러 신호로서 사용하는 위상 동기 루프를 도시한 것이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 지터 검출에 관한 것으로서, 보다 상세하게는 아날로그-디지털 변환 회로를 사용하여 지터량을 검출하는 방법 및 장치에 관한 것이다.
- <9> 일반적으로 아날로그 신호를 디지털 신호로 변환하여 처리하는 기술의 경우, 아날로그 신호는 비교기등을 통해 이치화되고, 이치화된 신호로부터 위상제어루프(PLL)를 적

용해 시스템 클록을 만든 후, 이치화된 신호와 시스템 클록을 사용해 데이터를 처리하게 된다. 이때, 아날로그 신호와 시스템 클록은 정확히 동기가 맞지 않고 약간의 위상차가 존재하는데 이를 지터(jitter)라고 한다.

<10> 아날로그 검출 기법이 보편화되면서 아날로그 신호를 직접 비교기를 사용해 이치화하지 않고 아날로그-디지털 변환과정을 통해 디지털 신호로 변환한 다음 변환된 디지털 신호를 사용해서 이치화하는 방법이 사용되는데, 이때 사용되는 지터 검출 방법은 예지로부터 한 개의 샘플링 포인트에 있는 신호를 가지고 지터값을 구하기 때문에, 아날로그 신호가 작거나 이상 신호가 들어오는 경우 지터값이 바르게 검출되지 않는다는 문제점을 가진다.

<11> 도 1은 지터 검출 회로를 포함하는 일반적인 디지털 시스템의 블록도로서, 시스템은 A/D 변환기(100), DC 오프셋 제거기(110), 지터 검출기(120) 및 디지털 PLL(130)을 구비한다. A/D 변환기(100)는 아날로그 형태로 된 입력 신호를 디지털 변환하여 상응하는 디지털 데이터를 출력한다. DC 오프셋 제거기(110)는 디지털 데이터에서의 직류 전압 오프셋(offset)을 제거한다. 지터 검출기(120)는 오프셋이 제거된 직류 전압으로부터 지터값을 검출한다. 디지털 PLL(130)은 오프셋이 제거된 직류 전압으로부터 위상 동기 신호를 만들어 그 신호를 시스템 클록으로서 출력한다. 이러한 예로서, 본 발명자에 의해 출원된 국내특허 P1998-0049210(1998.11.17)는 ADC 변환된 디지털 데이터로부터 지터값을 연산하는 방법에 대한 것으로, 이 발명에서는 아날로그 신호의 진폭이 작게 들어오는 경우 A/D 변환한 값 자체가 작기 때문에 여기서 검출되는 지터량 역시 작게 나오고, 입력신호의 진폭이 심하게 흔들리는 이상 신호의 경우 회로 자체의 오동작이 있을 수 있다는 문제점을 가진다.

【발명이 이루고자 하는 기술적 과제】

- <12> 본 발명이 이루고자 하는 기술적 과제는, 아날로그-디지털 변환된 신호로부터, 에지 주변의 두 샘플링 포인트에 있는 신호를 가지고 지터량을 검출하는 지터 검출 장치 및 그를 이용한 위상 동기 루프를 제공하는 것이다.

【발명의 구성 및 작용】

- <13> 상기 과제를 해결하기 위한, 입력 아날로그 신호를 디지털 변환한 신호의 지터값을 검출하는 지터값 검출 회로는, 상기 디지털 변환된 입력신호로부터 두개의 연속된 샘플링 포인트에 있는 두 신호의 부호 변화를 판별하여 부호 변화시 상기 두 신호를 제1, 제2에지신호로서 출력하는 에지 검출부; 상기 에지 검출부에서 출력된 제1, 제2에지신호 중 절대값이 작은 신호를 출력하는 비교부; 상기 제1, 제2신호 각각의 절대값의 합으로 상기 비교부에서 출력한 절대값 신호를 나누는 연산부; 및 상기 연산부로부터의 출력을 소정 기간 동안 누적 합산하여 소정 구간의 지터값으로서 출력하는 누적부를 포함함을 특징으로 한다.
- <14> 상기 에지 검출부는, 디지털 변환된 입력 신호를 한 시스템 클록만큼 지연시키는 딜레이부; 및 상기 딜레이부 출력 신호와 상기 디지털 변환된 입력 신호의 부호를 비교하여 부호가 바뀐 경우의 상기 디지털 변환된 입력값 및 상기 딜레이부를 통해 지연된 신호를 각각 제1, 제2에지 신호로서 출력하는 에지 발생부를 포함함이 바람직하다.
- <15> 상기 에지 발생부는, 상기 입력 신호의 최상위 비트를 추출하는 제1비트검출부; 상기 입력 신호가 딜레이부를 통과한 신호의 최상위 비트를 추출하는 제2비트검출부; 상기 제1비트검출부와 상기 제2비트검출부의 추출값을 배타적논리합(XOR) 연산하는 배타적

논리합 연산부; 상기 배타적논리합 연산부의 출력값을 클록으로 사용하고 상기 디지털 입력 신호를 입력 신호로서 사용하는 제1에지신호 출력부; 및 상기 제1에지신호 출력부와 동시에 상기 배타적논리합 연산부의 출력값을 클록으로 사용하고, 상기 딜레이부를 통과한 디지털 입력신호를 입력신호로서 사용하는 제2에지신호 출력부를 포함함이 바람직하다.

<16> 상기 다른 과제를 해결하기 위한, 지터신호를 이용한 디지털 위상 동기 루프는, 디지털 변환된 입력신호로부터 두개의 연속된 샘플링 포인트에 있는 두 신호의 부호 변화를 판별하여 부호 변화시 상기 두 신호를 제1, 제2에지신호로서 출력하는 에지 검출부, 상기 에지 검출부에서 출력된 제1, 제2에지신호 중 절대값이 작은 신호를 출력하는 비교부, 상기 제1, 제2신호 각각의 절대값의 합으로 상기 비교부에서 출력한 절대값 신호를 나누는 연산부를 포함하는 지터 신호 발생부; 및 상기 지터 신호 발생부로부터 출력된 지터신호를 위상 에러 신호로서 사용하여 위상 동기 신호를 발생하는 위상 동기 신호 발생부를 포함함을 특징으로 한다.

<17> 이하에서 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

<18> 도 2는 본 발명의 지터 검출 회로의 블록도로서, 지터 검출 회로는, 에지 검출부(200), 비교부(210), 연산부(220) 및 누적부(230)를 포함한다. 에지 검출부(200)는 디지털 변환되어 그로부터 DC 오프셋을 제거한 입력신호로부터 연속적인 두 샘플링 포인트에서의 신호들의 부호 변화를 판별하고 부호가 변화했다고 판별된 경우, 그 부호 변화 전 신호와 변화 후 신호를 각각 제1, 제2에지신호로서 출력한다. 비교부(210)는 에지 검출부(200)에서 출력된 제1, 제2에지신호를 비교하여 그 중 절대값이 작은 신호를 출력한다. 연산부(220)는 제1, 제2신호 각각의 절대값의 합으로 상기 비교부에서 출력한 최

소 절대값 신호를 나눈 지터값을 출력한다. 이러한 연산은 이하에서 상세히 설명할 삼각형의 비례식을 이용한 것이다. 누적부(230)는 연산부(220)로부터 출력된 값을 소정 기간 동안 누적 합산하여 소정 구간의 지터값으로서 출력한다. 에지 검출부(200) 이외의 회로를 지터 연산부로 명명하여 도 4에 보다 상세히 도시한다.

<19> 도 3은 도 2의 에지검출부(200)의 상세 블록도로서, 딜레이부(300) 및 에지 발생부(310)로 이뤄진다. 딜레이부(300)는 디지털 변환된 (아날로그) 입력 신호를 해당 시스템 클록의 한 클록 신호만큼 지연시킨다. 에지 발생부(310)는 딜레이부(300)에서 출력된, 한 클록 지연된 디지털 변환 입력 신호와, 원래의 디지털 변환 입력 신호의 부호를 비교하고, 그 부호가 서로 다른 경우 두 신호가 모두 에지 신호라고 판단하여 원래의 디지털 변환된 입력 신호 및 딜레이부(300)를 통해 지연된 신호를 각각 제1, 제2에지 신호로서 출력한다. 에지 발생부(310)의 세부 구성은, 디지털 변환된 입력 신호의 최상위 비트를 추출하는 제1비트검출부(311), 디지털 변환된 입력 신호가 딜레이부(300)를 통과하여 한 클록 만큼 지연된 상태에서의 최상위 비트를 추출하는 제2비트검출부(312), 제1비트검출부(311)와 제2비트검출부(312)의 추출값이 같으면 0, 틀리면 1을 출력하는, 배타적논리합(XOR; Exclusive-OR) 연산 기능의 배타적논리합(XOR) 연산부(313), 배타적논리합 연산부(313)의 출력값을 클록으로 사용하고 디지털 입력 신호를 입력 신호로서 사용하는 제1에지신호 출력부(314) 및 제1에지신호 출력부(314)와 동시에 배타적논리합 연산부(313)의 출력값을 클록으로 사용하고, 딜레이부(310)를 통과한 디지털 입력 신호를 입력신호로서 사용하는 제2에지신호 출력부(315)로 이뤄진다.

<20> 도 4는 도 2의 지터 연산부분의 상세 구성으로서, 도 3에서 추출된 제1, 제2에지 신호를 각각 절대값으로 추출하는 제1, 제2절대값 추출부(400, 410), 제1, 제2절대값 중

에서 보다 작은 값을 추출하는 최소값 추출부(420), 제1, 제2절대값들을 더하는 가산부(430), 최소값 추출부(420)에서 출력된 보다 작은 에지 신호의 절대값을 가산부(430)에서 출력된 두 에지 신호의 절대값을 가산한 값으로 나누는 제산부(440) 및 에지가 발생할 때마다 제산부(440)에서 연산된 지터값을 더해서 누적하고 있다가 일정한 시간 간격(time interval)이 되면 소정 구간의 지터값으로서 출력하는 카운터 및 누적부(450)로 이뤄진다. 카운터 및 누적부(450)는 마이컴(미도시)로부터 이득과 시간 간격을 입력받아 원하는 이득과 시간 간격으로 지터 누적값을 출력시킬 수 있도록 미리 설정될 수 있다.

<21> 이하에서 지터값 연산의 개념에 대해 설명한다.

<22> 일반적으로 광디스크등에서 신호를 처리하기 위해서는 입력되는 아날로그 신호로부터 위상 동기 루프(PLL)을 걸어 시스템 클록을 만든 후 그 시스템 클록을 이용해서 데이터 처리를 하게 된다. 이때 PLL이 정확히 동기가 맞아 있는 경우는 데이터 처리에 문제가 없으나 입력 신호에 잡음이 섞이거나 기타 이유로 입력 신호와 시스템 클록의 동기가 정확히 맞지 않는 경우가 생겨 문제가 된다. 후자의 경우, 시스템 클록과 입력 신호의 제로 레벨과의 시간차를 지터라고 한다. 도 5a는 지터가 없는 신호를 도시하고 있고, 도 5b는 지터가 생긴 신호를 도시한다.

<23> 도 6은 도 5b의 지터 발생 신호에서 에지 주변의 신호를 확대하여 도시한 것이다. a와 b는 각각 아날로그 입력 신호를 샘플링하여 얻을 수 있는 샘플링 신호 크기이다. a' 및 b'는 각각 시간 좌표상의 위상 지연, 즉 지터에 해당하는 것들로서, 이 중 그 절대값 크기가 작은 것을 지터값으로 취하므로, 그림에서는 b'가 지터값이 된다. 샘플링 주기는 시스템 클록 주기와 동일하므로, $a' + b' = \text{시스템 클록}$ 이 된다. 제로 크로스, 즉

에지가 발생하는 부분에서 신호가 선형적이라고 가정하면, 삼각형의 비례식에 따라,
 $a:a'=b:b'$ 가 된다. 여기서, a 와 b , 시스템 클록은 아는 값이므로, b' 에 대해 정리하면
 다음의 수학적 식 1과 같은 식이 얻어진다.

<24> 【수학적 식 1】

$$b' = b \times \text{시스템클록} / (a+b)$$

<25> 따라서 수학적 식 1을 이용한 지터값의 연산은, 입력 신호의 크기에 영향을 받지 않고
 정확한 지터값을 구할 수 있게 된다. 이것을 구현한 회로가 도 2의 연산부(220), 즉 도
 4에서 카운터 및 누적부(450)를 제외한 나머지 구성에 해당된다.

<26> 도 7은 지터값을 위상 에러 신호로서 사용하는 위상 동기 루프를 도시한 것으로서,
 지터 신호 발생부(700) 및 위상 동기 회로부(710)를 구비한다. 지터신호 발생부(700)는
 에지 검출부(701), 비교부(702), 연산부(703)를 포함한다. 에지 검출부(701)는 디지털
 변환된 입력신호로부터 계속된 두 신호의 부호 변화를 판별하여 부호 변화시 그 두 신호
 를 각각 제1, 제2에지신호로서 출력한다. 비교부(702)는, 에지 검출부(701)에서 출력된
 제1, 제2에지신호 중 절대값이 작은 신호를 출력한다. 연산부(703)는 제1, 제2신호 각
 각의 절대값의 합으로 비교부(702)에서 출력한 더 작은 에지신호의 절대값을 나눔으로써
 지터값을 발생한다. 연산부(703)의 연산 원리는 도 6과 함께 상술한 바와 같다. 위상
 동기 회로부(710)는 지터 신호 발생부(701)로부터 출력된 지터신호를 위상 에러 신호로
 서 사용하여 위상 동기 신호를 발생한다.

<27> 이와 같이, 본 발명의 지터 검출 장치를 통해 연산된 지터값을 이용하여 광 디스크
 의 서보계에서 포커스 루프의 최적화나 트래킹 루프의 최적화를 구하는 방법으로 지터값
 이 최소가 되도록 할 수 있다. 또한 PLL이 제대로 걸려 있는가를 판단하는 PLL lock 신

호의 판별이나 디스크의 불량을 판단할 수 있는 척도로서 본 발명의 지터값을 이용할 수 있다.

【발명의 효과】

<28> 본 발명에 의하면 아날로그-디지털 변환된 신호로부터 에지 주변의 두 샘플링 포인트에 있는 신호를 가지고 지터량을 검출함으로써 입력되는 신호의 크기에 상관없이 정확한 지터량을 검출할 수 있고, 그 지터값을 이용하여 정확하고 빠른 위상 동기 신호를 얻을 수 있다.

【특허청구범위】**【청구항 1】**

입력 아날로그 신호를 디지털 변환한 신호의 지터값을 검출하는 지터값 검출 회로에 있어서,

상기 디지털 변환된 입력신호로부터 두개의 연속된 샘플링 포인트에 있는 두 신호의 부호 변화를 판별하여 부호 변화시 상기 두 신호를 각각 제1, 제2에지신호로서 출력하는 에지 검출부;

상기 에지 검출부에서 출력된 제1, 제2에지신호 중 절대값이 작은 신호를 출력하는 비교부;

상기 제1, 제2신호 각각의 절대값의 합으로 상기 비교부에서 출력한 절대값 신호를 나누는 연산부; 및

상기 연산부로부터의 출력을 소정 기간 동안 누적 합산하여 소정 구간의 지터값으로서 출력하는 누적부를 포함함을 특징으로 하는 지터값 검출 회로.

【청구항 2】

제1항에 있어서, 상기 에지 검출부는,

디지털 변환된 입력 신호를 한 시스템 클록만큼 지연시키는 딜레이부; 및

상기 딜레이부 출력 신호와 상기 디지털 변환된 입력 신호의 부호를 비교하여 부호가 바뀐 경우의 상기 디지털 변환된 입력값 및 상기 딜레이부를 통해 지연된 신호를 각각 제1, 제2에지 신호로서 출력하는 에지 발생부를 포함함을 특징으로 하는 지터값 검출 회로.

【청구항 3】

제2항에 있어서, 상기 에지 발생부는,

상기 입력 신호의 최상위 비트를 추출하는 제1비트검출부;

상기 입력 신호가 딜레이부를 통과한 신호의 최상위 비트를 추출하는 제2비트검출부;

상기 제1비트검출부와 상기 제2비트검출부의 추출값을 배타적논리합(XOR) 연산하는 배타적논리합 연산부;

상기 배타적논리합 연산부의 출력값을 클럭으로 사용하고 상기 디지털 입력 신호를 입력 신호로서 사용하는 제1에지신호 출력부; 및

상기 제1에지신호 출력부와 동시에 상기 배타적논리합 연산부의 출력값을 클럭으로 사용하고, 상기 딜레이부를 통과한 디지털 입력신호를 입력신호로서 사용하는 제2에지신호 출력부를 포함함을 특징으로 하는 지터 검출 회로.

【청구항 4】

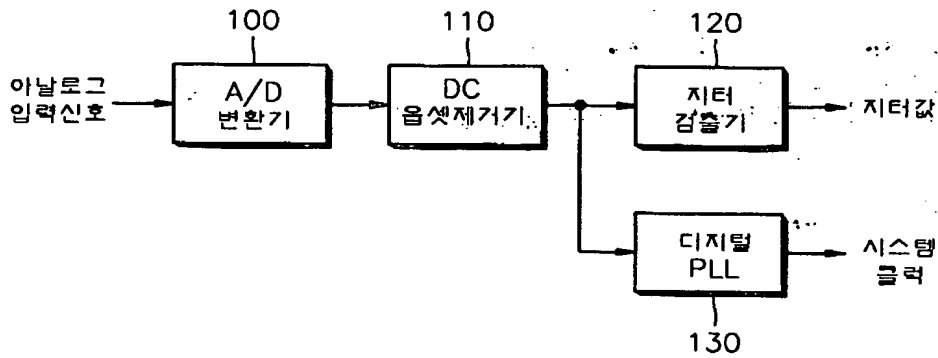
디지털 변환된 입력신호로부터 두 개의 연속된 샘플링 포인트에서의 부호 변화를 판별하여 부호 변화시의 제1, 제2에지신호를 출력하는 에지 검출부, 상기 에지 검출부에서 출력된 제1, 제2에지신호 중 절대값이 작은 신호를 출력하는 비교부, 상기 제1, 제2신호 각각의 절대값의 합으로 상기 비교부에서 출력한 절대값 신호를 나누는 연산부를 포함하는 지터 신호 발생부; 및

상기 지터 신호 발생부로부터 출력된 지터신호를 위상 에러 신호로서 사용하여 위

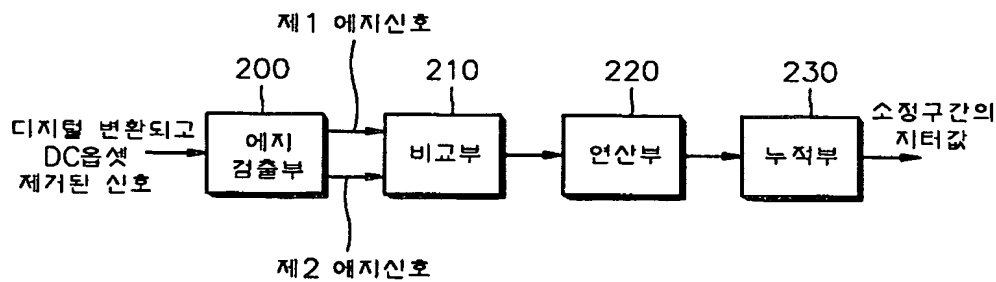
상 동기 신호를 발생하는 위상 동기 신호 발생부를 포함함을 특징으로 하는 디지털 위상 동기 루프(Digital Phase locked loop).

【도면】

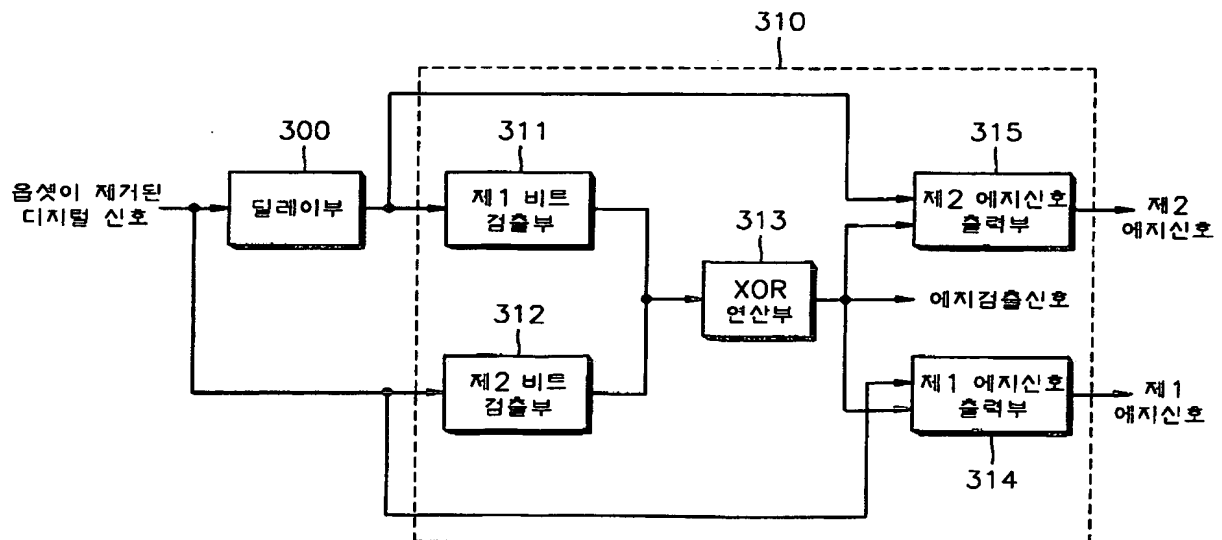
【도 1】



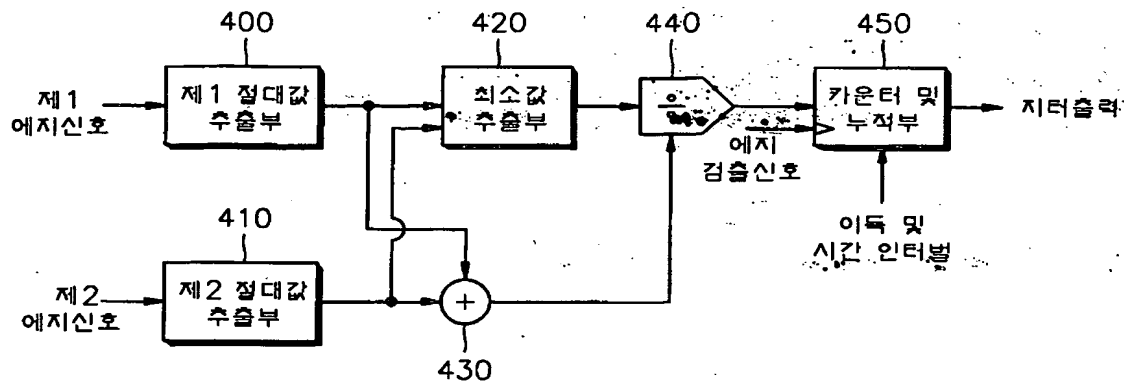
【도 2】



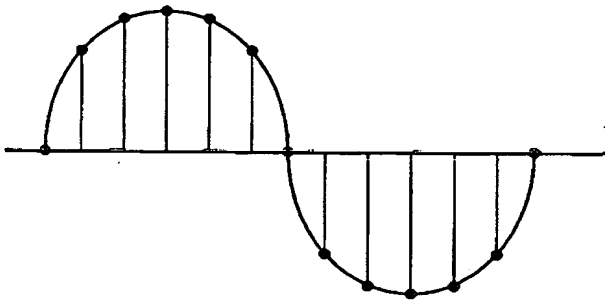
【도 3】



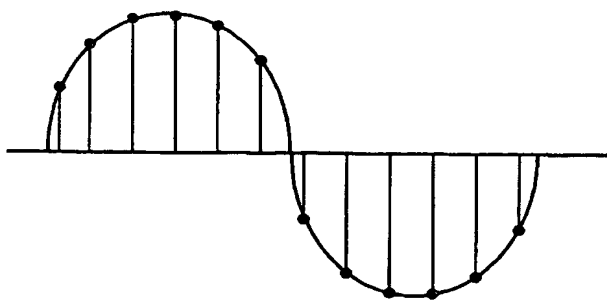
【도 4】



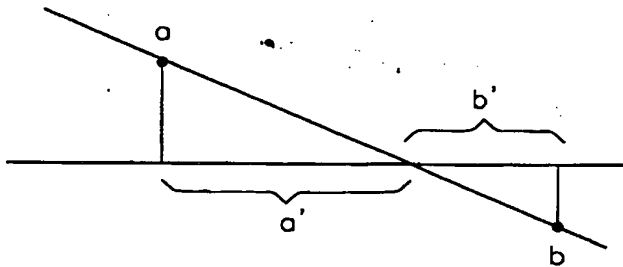
【도 5a】



【도 5b】



【도 6】



【도 7】

